

ARCHI 05

Autrans, 21–25 mars 2005

École thématique

« Architectures des systèmes matériels
enfouis et méthodes de conception associées »

www.ens-lyon.fr/ARCHI05/

Bilan

Table des matières

1 Bilan de la participation	1
2 Bilan des soutiens	2
3 Bilan scientifique	2
4 Bilan des fiches d'évaluation	5
5 Bilan financier	7
6 Livres de support	8
7 Organisation	8

1 Bilan de la participation

Il y avait 37 inscrits à cette école thématique (dont 10 intervenants). Parmi les non-intervenants, la grande majorité des personnes étaient des étudiants (21 doctorants et 3 stagiaires de DEA), et il y avait 3 enseignants et/ou chercheurs permanents.

Laboratoires d'origine des participants :

- CEA (Saclay)
- ENSSAT (Lannion)
- I3S (Nice)
- IRISA (Rennes)
- IRIT (Toulouse)
- LASMEA (Clermont-Ferrand)
- LIFL (Lille)
- LIP (Lyon)
- LIP6 (Paris)
- LIRMM (Montpellier)
- LP2A (Perpignan)

- LSIIT (Strasbourg)
- LSR-IMAG (Grenoble)
- PRISM (Versailles)
- TIMA (Grenoble)

Une liste complète des participants est disponible sur le site web d'ARCHI05.

2 Bilan des soutiens

- Le CNRS (soutien financier)
- L'INRIA Rhône-Alpes (soutien financier)
- Le GDR ARP du CNRS (soutien financier)
- Le LIP (soutien financier)
- Le CEA/LETI (soutien financier)
- Le pôle d'innovation Minatec (soutien financier)
- La Région Rhône-Alpes (soutien financier)
- L'ENS Lyon (support logistique)

3 Bilan scientifique

Cours

12 cours ont été donnés par 10 intervenants. Le total représente un volume de 22 heures de cours. L'ensemble des supports de cours papier distribués aux participants représente un total de 950 transparents. Tous ces supports de cours sont disponibles sur le site web de l'école.

- **Architecture de processeurs hautes performances** par Pascal Sainrat
Évolution (roadmap), définitions de base, latence vs. débit, diminution du temps de cycle, prédiction de branchement, instructions conditionnelles, renommage, ordonnancement dynamique, exécution spéculative, problèmes, exemples, *simultaneous multi-threading*, partages statique et dynamique, spéculation de traces, SIMD, multicœurs, bibliographie...
- **Aspects technologiques des circuits intégrés** par Laurent Fesquet
Introduction, transistor MOS, fonctionnement, évolution (roadmap), obstacles technologiques, principaux effets canaux courts, diélectrique de grille, résistances séries des jonctions, optimisations des modules technologiques, optimisations et architectures avancées, augmenter I_{on} , grilles métalliques, diélectrique high-K, architectures des transistors, double grille, conception avancées, efficacité énergétique, exemples...
- **Circuits asynchrones** par Marc Renaudin
Introduction, principes de conception, flot de données/flot de contrôle, composition d'éléments, cellules de base, porte de Muller, protocoles, codage des données, classes de circuits, aléas, circuits synchrones, circuits insensibles aux délais, circuits quasi insensibles aux délais, micro-pipeline, exemples, conception d'architectures asynchrones, pipeline, anneaux, analyse de performances, optimisations, exemples, modularité, basse

consommation d'énergie, bruit, sécurité, outils. . .

- **Les circuits reconfigurables : passé, présent, futur...** par Lionel Torres
Introduction, principes de programmation, technologies de programmation, exemples de techniques de programmation, classification des architectures, ASIC, SOC, IP, FPGA, PLD, CPLD, technologies, comparaison des performances, conception de circuits reconfigurables, conception avec des circuits reconfigurables, exemples, flexibilité, efficacité, consommation d'énergie, performances, reconfiguration statique, reconfiguration dynamique, reconfiguration pseudo-dynamique, exemples de circuits reconfigurables. . .
- **Fonctionnement et optimisations des mémoires cache** par Nathalie Drach-Temam
Introduction, problème de latence mémoire, masquer la latence mémoire, évolution des architectures à hautes performances, fonctionnement des caches, localité, localités des instructions et de données, caractéristique d'un cache, bloc, ligne, structure, placement des données, correspondance directe, associativité, politiques d'écriture, performances, caches unifié ou séparés, optimisations des caches, *victim cache*, caches pseudo-associatifs, pré-chargement matériel, optimisation à la compilation, niveaux de caches, cohérence, traduction d'adresses, cache multi-ports, cache de trace, exemples de hiérarchies mémoire. . .
- **Interconnexions dans les nouvelles technologies** par Olivier Sentieys
Systèmes sur puces, évolution technologique, coût des circuits, puissance et énergie, variations du processus de fabrication, erreurs, bruits, rapport délais porte et interconnexions, *scaling*, longueurs des interconnexions, modèles de délai, *crosstalk*, modèles de bruits, codage, optimisation des canaux de communication, bibliographie. . .
- **Modélisation, estimation et optimisation de la consommation dans les architectures embarquées** par Cécile Belleudy
Introduction, sources de dissipation, évolution de la technologie, évolution de l'encapsulation, évolution des batteries, température, définition, puissance dynamique, puissance statique, influence de la tension de seuil, niveaux d'optimisation, tension d'alimentation, fréquence de travail, activité électrique, optimisation de la consommation, adaptation du biais du substrat, techniques multi-tensions de seuil, estimation au niveau logique, modèles probabilistes, aléas, régulation dynamique de la consommation, *clock gating*, optimisation de l'activité des automates d'états, codage des données, pré-calcul, parallélisme et consommation, consommation dans les FPGA, prise en compte de la consommation au niveau logiciel, optimisation mémoire, *scratchpad*, techniques de compilation, exemples, bibliographie. . .
- **Outils de simulation d'architectures (Comment adapter simple scalar et simoutorder pour implanter ses propres micro-architectures)** par Bernard Goossens
Introduction, micro-architecture simulée, instructions, profilage, pipeline, unités fonctionnelles, hiérarchie mémoire, prédicteur de sauts, stations de réservation, files de chargement/déchargement, micro-architecture simulée, étage d'extraction, étage de distribution, étage de lancement, étage d'écriture, étage de validation, introduction à sim-outorder, installation du simulateur, compilation du simulateur, modifications du simulateur, débogage, exemples. . .

- **Processeurs de traitement numérique du signal** par Olivier Sentieys
Introduction, exemples d’applications, tâches élémentaires, algorithmes de traitement du signal, caractéristiques algorithmiques, fonctions typiques, solutions architecturales, marché des DSP, architecture MAC/Harvard, unités de calcul, mémoires, flux des données, analyse des performances, *benchmarks*, énergie, parallélisme, capacités SIMD, architecture hybride DSP/MCU, VLIW, optimisations logicielles, accès mémoires multiples, super-scalaire, bilan, exemples, flot de développement, limites des compilateurs, perspectives, bibliographie. . .
- **Une méthode d’intégration d’applications sur puce** par Frédéric Pétrot
Généralités, systèmes sur puce, architectures cibles, SIMD, VLIW, MIMD, *instruction level parallelism*, *task level parallelism*, tendances, conception sur plate-forme, réseaux de Kahn, assignation des tâches, migration logiciel vers matériel, problème de la cohérence des caches, solution logicielle, solution matérielle, consistance mémoire, flot de conception, exemple, implantation parallèle, choix des accélérateurs, réalisation du matériel. . .
- **Méthode du “logical effort”** par Arnaud Tisserand
Motivations, rappels, transistors MOS, structure, modèles, valeurs logiques, transmission de signaux logiques, portes logiques CMOS, inverseur, charges et décharges, sortie, régénération du signal, taille des transistors, unités de mesures, délai d’une porte, effort logique, effort électrique, délai parasite, structure en portes, nombre d’étages, types de portes, effort de branchement, chemin, optimisation du délai, limitations, exemples, bibliographie. . .
- **Implantation d’algorithmes de traitement du signal sur les architectures virgule fixe** par Olivier Sentieys
Introduction, codage en virgule fixe et complément à deux, règles de l’arithmétique virgule fixe, exemples, étapes du codage, méthodes analytiques, dynamique des données, contraintes, introduction de bits supplémentaires, recadrage des données, sources de bruit, exemples, techniques d’optimisation, bibliographie. . .

Intervenants

- **Cécile Belleudy**, Maître de conférence Univ. de Nice
- **Nathalie Drach-Temam**, Professeur Univ. Paris 6
- **Laurent Fesquet**, Maître de Conférences INPG à Grenoble
- **Bernard Goossens**, Professeur Univ. Perpignan
- **Frédéric Pétrot**, Professeur INPG à Grenoble
- **Marc Renaudin**, Professeur INPG/ENSERG à Grenoble
- **Pascal Sainrat**, Professeur Univ. Paul Sabatier à Toulouse
- **Olivier Sentieys**, Professeur ENSSAT à Lanion
- **Arnaud Tisserand**, Chargé de recherche Inria à Lyon
- **Lionel Torres**, Professeur Polytech Montpellier

Session posters

Lors de l'édition 2003 à Roscoff de cette école thématique, il avait été suggéré de proposer aux participants de pouvoir présenter des posters sur leurs activités. 7 posters ont été présentés durant une session de 1h30 prévue à cet effet. Voici la liste de thèmes abordés :

- Analyse de dépendances pour une application embarquée sur un SOC multiprocesseur (F. Salpetrier, J. Chassin de Kergommeaux et S. de Paoli)
- Une bibliothèque VHDL d'opérateurs pour l'arithmétique réelle sur FPGA (J. Detrey et F. de Dinechin)
- Évaluation de fonctions par des petites approximations polynomiales (R. Michard, A. Tisserand et N. Veyrat-Charvillon)
- Accélération matérielle de fonctions OS pour architectures distribuées hétérogènes (N. Ventroux, S. Chevobbe, F. Blanc, R. David, T. Collette et D. Lavenier)
- L'Embarqué et le satellitaire spatial au PRiSM (E. Oseret)
- Une architecture auto-adaptable dynamiquement dédiée au contrôle (S. Chevobbe, N. Ventroux, F. Blanc, T. Collette et O. Sentieys)
- Modélisation et optimisation conjointe performance/énergie d'une liaison entre objets communicants (Mickaël Cartron)

4 Bilan des fiches d'évaluation

Une fiche d'évaluation (disponible sur le site web de l'école) a été distribuée à tous les participants. 29 fiches ont été récupérées et analysées. Dans cette fiche, il était demandé de noter des rubriques avec une note d'un ensemble de cinq valeurs possibles de 0 (pour nul) à 5 (pour très bon). Les notes données ci-dessous représentent les moyennes de ces notes sur tous les participants.

Inscription

Raison de l'inscription à cette école :

- propre initiative : 13/29
- incitation directeur de thèse : 11/29
- incitation organisateurs de l'école : 3/29 individuelles
- incitation diverses : 2/29 (par des intervenants à l'école)

Cette participation était la première participation à une école thématique pour 17 personnes (60%). Le processus d'inscription a reçu une note moyenne de 4.7/5.

Suggestions :

- envoyer un accusé d'inscription
- diffusion sur des listes CNRS (en particulier à toutes les UMR du département)

Appréciation sur le contenu de l'école

Notes sur :

- intérêt général de l'école : 4.7/5 (note min 4, max 5)
- contenu des interventions : 4.4/5 (note min 3, max 5)
- cohérence scientifique : 4.5/5 (note min 3, max 5)
- modalités pédagogiques : 4.1/5 (note min 2, max 5)
- supports pédagogiques : 4.3/5 (note min 3, max 5)
- aspects pédagogiques des interventions : 4.2/5 (note min 3, max 5)
- contacts avec les intervenants : 4.3/5 (note min 2, max 5)
- contacts entre les participants : 4.3/5 (note min 3, max 5)

Remarques :

- Points positifs : contenu varié, bonne ambiance, cours complémentaires, session posters intéressante et animée
- Points négatifs : manque de TP, manque de débats (table ronde), manque de démos d'outils, manque de cours sur les processeurs reconfigurables, trop de cours sur le bas niveau

Appréciation sur le cadre et l'organisation

Notes sur :

- organisation générale : 4.8/5 (note min 4, max 5)
- hébergement : 4.6/5 (note min 3, max 5)
- repas : 4.5/5 (note min 3, max 5)
- horaires : 4.6/5 (note min 4, max 5)
- ambiance : 4.6/5 (note min 4, max 5)
- loisirs : 3.7/5 (note min 1, max 5)
- transport : 4.2/5 (note min 3, max 5)

Remarques :

- Points positifs : cadre magnifique, lieu tranquille, très bons repas, hébergement agréable
- Points négatifs : manque d'activités de détente, avoir plus d'un seul menu pour les repas, lieu isolé avec accès difficile, manque de prises électriques, manque d'accueil à la gare pour la navette en bus, pas de tarifs de groupe, pas de liste des participants avec coordonnées sur place

Origine scientifique

Sur les 29 fiches récupérées, 26 étaient remplies par des non-intervenants et 3 par des intervenants.

Origine scientifique des participants :

- informatique : 20 personnes
- électronique : 8 personnes
- télécommunications : 1 personne

L'ancienneté dans la recherche (hors intervenants) était en moyenne de 2.8 années (minimum à 6 mois, maximum à 14 ans). Il y avait 3 participants enseignants et/ou chercheurs

(donc avec une ancienneté supérieure à 3 ou 4 ans).

Domaines et thèmes de recherche des participants : systèmes sur puce, architectures des processeurs, réseaux sur puce, basse consommation d'énergie, architecture des systèmes, architectures reconfigurables, arithmétique des ordinateurs, systèmes embarqués, analyse de performances, compilation, synthèse d'architectures.

Remarques et suggestions

Cours souhaités :

- compilation (hard et soft)
- parallélisme (processeur multicœurs)
- synthèse logique et bas niveau
- techniques de simulation
- arithmétique des ordinateurs matérielle
- langages pour le matériel (synthèse, spécification, test)
- modélisation des circuits (vitesse, surface, conso) à haut niveau
- test des circuits (conception pour le test)

Autres souhaits :

- tables rondes avec les intervenants et tous les participants
- démonstrations de logiciels
- accès internet
- liste des participants avec trombinoscope dès le début de l'école
- accès aux supports de cours avant l'école

5 Bilan financier

Tous les montants sont indiqués en Euros TTC (après arrondi).

Recettes	CNRS	9 500
	INRIA	2 500
	ARP	1 000
	LIP	1 000
	MINATEC	1 000
	Région Rhône-Alpes	800
	inscriptions	7 200
	total	23 000
Dépenses	hébergement + repas	14 413
	frais intervenants	3 900
	reprographie + fournitures	438
	navettes cars	412
	demi-journée détente	540
	livres pour les participants	3 279
	total	22 982

6 Livres de support

Comme prévu initialement lors de la préparation de cette école thématique des livres de support de cours ont été achetés (un pour chaque participant et intervenant). Voici la liste des titres achetés.

- Architecture de l'ordinateur. Tanenbaum. 5ième édition. 2005.
- Computer Architecture : A Quantitative Approach. Hennessy, Patterson. 3rd edition. 2002.
- Computer Organization and Design : The Hardware/Software Interface. Patterson, Hennessy. 3rd edition. 2004.
- Computer Organization and Architecture : Designing for Performance. Stallings. 7th edition. 2005.

7 Organisation

Comité d'organisation :

- Sylvie Boyer, INRIA LIP ENS Lyon
- Arnaud Tisserand, INRIA LIP ENS Lyon (responsable scientifique)

Comité scientifique :

- Michel Auguin, DR CNRS, I3S, Sophia Antipolis
- François Charot, CR INRIA, IRISA, Rennes
- Daniel Litaize, PR Univ. Paul Sabatier, IRIT, Toulouse
- Jean-Michel Muller, DR CNRS, LIP, Lyon
- Frédéric Pétrot, MdC Univ. Paris VI, ASIM LIP6, Paris
- Pascal Sainrat, PR Univ. Paul Sabatier, IRIT, Toulouse
- Olivier Sentieys, PR, Université de Rennes 1, Enssat, Lannion
- Arnaud Tisserand, CR INRIA, LIP, Lyon
- Lionel Torres, MdC Univ Montpellier II, LIRMM, Montpellier

Bilan Personnel :

La préparation et la participation à cette école thématique a été un grand plaisir. J'espère pouvoir participer activement aux prochaines écoles thématiques ARCHI.

Arnaud Tisserand, 5 octobre 2005