

1. Formulation généralisée de contraintes topologiques de circuits électriques

Mots clés :

Résolution de contraintes, vérification de types, compilation, vérification compositionnelle.

Contexte :

Aniah est une start-up qui propose aux industriels du semi-conducteur un outil d'analyse de circuits. Aniah introduit un algorithme d'analyse qui repousse nettement les limites de la complexité des circuits analysables, de quelques centaines de milliers d'éléments actuellement, à plusieurs milliers de milliards (réseaux téra-éléments). Aniah démarre une collaboration avec le Laboratoire de l'Informatique du Parallélisme (LIP) pour consolider et généraliser son approche en complétant ses résultats pratiques par des études plus théoriques.

Le sujet de recherche :

L'algorithme utilisé par Aniah utilise un solveur de contrainte écrit spécifiquement pour le problème de l'analyse de circuit. L'objectif du stage est d'explorer l'utilisation d'algorithmes existants plus généraux pour résoudre le même problème. Faire le lien entre le domaine de l'analyse de circuit et les domaines existants est intéressant à la fois sur le plan théorique, pour positionner le travail d'Aniah par rapport au corpus académique existant, et sur le plan pratique pour permettre la réutilisation d'outils existants lorsque cela est pertinent.

Cet algorithme présente des similitudes avec le typage (vérification et inférence) de programmes : il s'agit à partir de propriétés sur les cellules de base de découvrir des propriétés sur les assemblages de cellules, et de vérifier la cohérence entre les éléments assemblés. Par ailleurs, le système de contraintes résolu en interne par l'outil d'Aniah pourrait probablement s'exprimer dans un formalisme de contraintes plus généraliste ce qui permettrait d'utiliser un solveur existant. Les domaines du typage et de la résolution de contraintes sont déjà reliés : des compilateurs comme celui du langage Haskell utilisent une approche de typage par contrainte (un ensemble de contraintes est généré à partir du programme source, puis un solveur est utilisé pour tester sa satisfaisabilité).

L'objectif du stage serait donc de proposer un encodage du problème de vérification électrique dans un langage existant, pour permettre d'utiliser un solveur pour résoudre le problème. On pourra dans un premier temps proposer un principe d'encodage appliqué manuellement sur de petits exemples, puis développer un compilateur permettant de traiter des gros exemples.

Encadrants :

Matthieu Moy, maître de conférences UCBL / LIP, <https://matthieu-moy.fr/>

Ludovic Henrio, chargé de recherche CNRS / LIP, <https://lhenrio.github.io/>

Vincent Bligny, CEO et fondateur d'Aniah, <https://www.linkedin.com/in/vincent-bligny/>