

# Parcours de graphe efficace avec une structure union-find

**Mots-clefs :** Union-Find; Théorie des Graphes; Circuits Intégrés; Algorithmique et Structures de Donnée; Analyse de Performance; OCaml

## Contexte

La fabrication d'un circuit électronique est composée de nombreuses étapes. Vous avez probablement vu en cours d'architecture la partie numérique du flot de conception, où la fonctionnalité du circuit est décrite essentiellement avec des 1 et 0. La description logique (sous forme de portes ou de programme dans des langages comme VHDL) est ensuite transformée en une implémentation utilisant des transistors, en ajoutant des notions qui ne sont pas visibles au niveau logique comme le fait que différentes parties du circuit peuvent être alimentées par des tensions différentes pour économiser l'énergie. Le passage du niveau logique au niveau transistor est essentiellement automatisé, mais certaines parties peuvent être réalisées par l'utilisateur, et donc sujettes à erreurs. Il est ainsi important d'être capable de vérifier l'absence d'erreur sur une description de circuit au niveau transistor. L'équipe CASH du laboratoire LIP travaille avec la start-up Aniah sur le sujet.

L'approche globale de vérification de circuit est une combinaison de méthodes rapides, mais qui peuvent lever un grand nombre de fausses alarmes (autrement dit, lever un avertissement là où il n'y a pas d'erreur), et de méthodes plus lentes et plus précises pour éliminer les fausses alarmes. Nous nous intéressons ici à la première partie : une exploration rapide du circuit modélisé sous forme de graphe, pour propager les informations des ports externes vers chaque point du graphe et ainsi prouver l'absence d'erreur sur la majorité des composants. Une analyse clé est celle de la propagation des alimentations, qui permet de déterminer à quelle(s) alimentation(s) un composant est possiblement connecté.

## 1 Objectif du projet

L'objectif de ce projet est d'étudier l'applicabilité de structure de type union-find<sup>1</sup> pour cette phase de propagation des alimentations. Union-find est une structure de données permettant de représenter efficacement une partition d'ensemble, qui semble adapté pour ce cas. On peut espérer des gains de performances par rapport à notre implémentation actuelle.

Le travail consistera donc en une analyse de l'algorithme existant, une adaptation du principe d'union-find à notre contexte (une difficulté est que nos circuits sont hiérarchiques) pour écrire l'implémentation associée, et une analyse expérimentale des performances du résultat.

Bien sûr, ce travail sera accompagné d'une bibliographie, d'une part sur le sujet de la vérification de circuits électroniques, et d'autre part sur les algorithmes et structures de données liées à Union-Find.

---

<sup>1</sup><https://fr.wikipedia.org/wiki/Union-find>

## Profil attendu

Le projet peut être réalisé seul(e) ou en binôme.

L'étudiant(e) devra avoir une formation solide en algorithmique, et de bonnes bases en théorie des graphes. Il n'est pas nécessaire d'avoir de connaissance spécifique sur les circuits électroniques. Notre compilateur est implémenté dans le langage OCaml, donc une connaissance de ce langage serait un plus, mais il est aussi possible de se former à OCaml au fur et à mesure du projet.

Une poursuite du travail en stage de master, voire en thèse, est possible sur des sujets connexes si l'étudiant(e) est motivé(e) pour le faire.

## Encadrement

- Matthieu Moy, maître de conférences UCBL/LIP, <https://matthieu-moy.fr/>,
- Bruno Ferres, post-doctorant au LIP, <https://perso.ens-lyon.fr/bruno.ferres>.